



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002290172 A**(43) Date of publication of application: **04.10.02**

(51) Int. Cl.

H03F 3/50**G09G 3/20****G09G 3/36****H03F 1/34****H03F 3/30****H03F 3/45****H03F 3/68**(21) Application number: **2001094045**(22) Date of filing: **28.03.01**(71) Applicant: **SHARP CORP**(72) Inventor: **MONOMOUSHI MASAHIKO
KATSUYA MASASHI**(54) **VOLTAGE FOLLOWER CIRCUIT AND DRIVE
DEVICE FOR DISPLAY DEVICE**

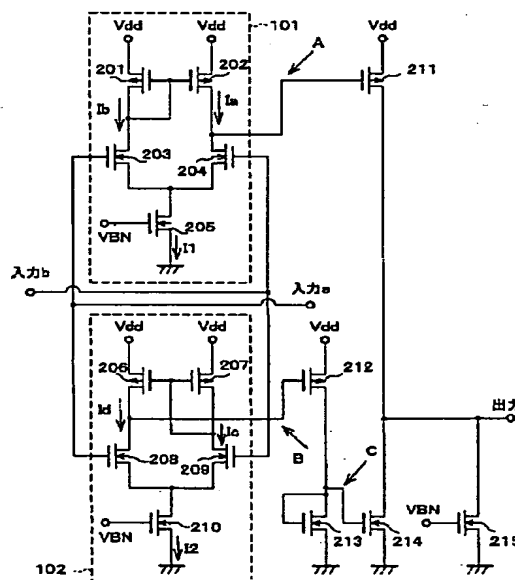
second differential stage 102.

COPYRIGHT: (C)2002,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To enable an output voltage to quickly follow an input voltage, without increasing current consumption in a voltage follower circuit.

SOLUTION: The voltage follower circuit is provided with a first differential stage 101, a P-type transistor 211 for outputting a current to an outer part, in response to current change in the first differential stage 101, a second stage 102 having an offset voltage with respect to the first stage 101, an N-type transistor 214 for drawing the current from the outer part, in response to the current change in the second stage 102, an N-type transistor 215 as a constant current source, input terminals for inputting the input voltages after the connection of the positive phase input terminal of the first differential stage 101 to the positive phase input terminal of the second differential stage 102 and an output terminal for feeding back the output voltage outputted from the P-type transistor 211 and the N-type transistors 214 and 215, after connecting them to the negative phase input terminal of the first differential stage 101 and the negative phase input terminal of the



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-290172

(P2002-290172A)

(43) 公開日 平成14年10月4日 (2002. 10. 4)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 3 F 3/50		H 0 3 F 3/50	5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B 5 C 0 8 0
			3/36 5 J 0 6 6
H 0 3 F 1/34		H 0 3 F 1/34	5 J 0 6 9
			3/30 5 J 0 9 0

審査請求 未請求 請求項の数 6 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2001-94045(P2001-94045)

(22) 出願日 平成13年3月28日 (2001. 3. 28)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 物申 正彦

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 勝谷 昌史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

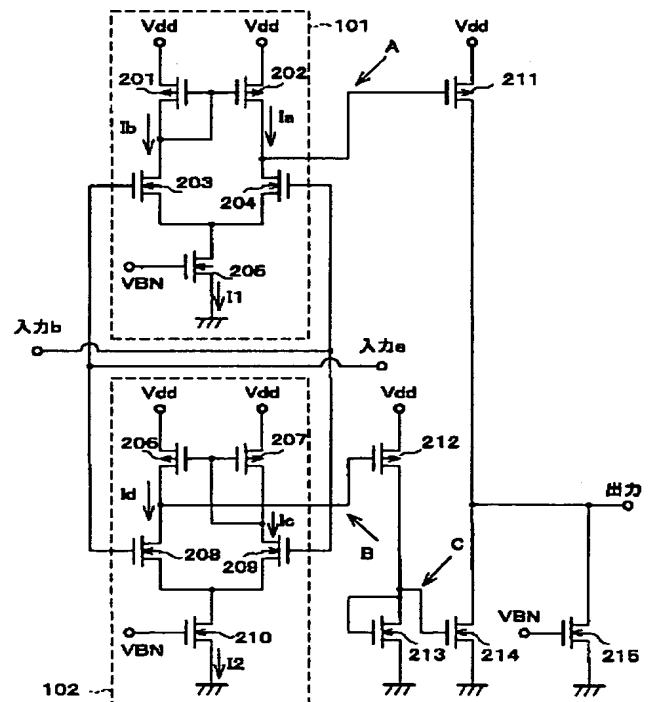
最終頁に続く

(54) 【発明の名称】 ボルテージフォロア回路および表示装置用駆動装置

(57) 【要約】

【課題】 ボルテージフォロア回路において、消費電流を増加させることなく、出力電圧を入力電圧に迅速に追従させることができるようにする。

【解決手段】 第1差動段101と、第1差動段101の電流変化に応じて電流を外部に出力するP型トランジスタ211と、第1差動段101に対してオフセット電圧を持つ第2差動段102と、第2差動段102の電流変化に応じて電流を外部から引き込むN型トランジスタ214と、定電流源としてのN型トランジスタ215と、第1差動段101の正相入力端子と第2差動段102の正相入力端子との両方が接続されて、入力電圧を入力される入力端子と、P型トランジスタ211、N型トランジスタ214およびN型トランジスタ215が接続されるとともに、そこから出力される出力電圧が第1差動段101の逆相入力端子と第2差動段102の逆相入力端子とに帰還される出力端子とを備える。



【特許請求の範囲】

【請求項1】第1差動段と、

上記第1差動段に対してオフセット電圧を持つ第2差動段と、

上記第1差動段および上記第2差動段のうちの一方を放出側差動段として、その出力電流変化に応じて電流を外部に出力する電流放出部と、

上記第1差動段および上記第2差動段のうちの他方を引き込み側差動段として、その出力電流変化に応じて電流を外部から引き込む電流引き込み部と、

定電流源としての定電流供給部と、

上記第1差動段の正相入力端子と上記第2差動段の正相入力端子との両方が接続されて、入力電圧を入力される入力端子と、

上記電流放出部、電流引き込み部および定電流供給部が接続されるとともに、そこから出力される出力電圧が上記第1差動段の逆相入力端子と上記第2差動段の逆相入力端子とに帰還される出力端子とを備えたことを特徴とするボルテージフォロア回路。

【請求項2】上記第1差動段と第2差動段とで、回路構成が同一で、それらを構成するトランジスタのうちの少なくとも一つが、トランジスタのチャネル長またはチャネル幅の少なくとも一つが異なっていることを特徴とする請求項1記載のボルテージフォロア回路。

【請求項3】上記チャネル長またはチャネル幅の少なくとも一つが異なっているトランジスタは、上記正相入力端子または逆相入力端子の少なくとも一つがゲートに入力されるトランジスタであることを特徴とする請求項2記載のボルテージフォロア回路。

【請求項4】定常状態においては、上記定電流供給部を負荷として、上記電流放出部または上記電流引き込み部のいずれか一方のみが動作することを特徴とする請求項1ないし3のいずれかに記載のボルテージフォロア回路。

【請求項5】上記入力電圧と上記出力電圧とが互いに異なっている変遷期間において、上記出力電圧が上記入力電圧より小さい場合は、上記電流放出部が動作し、上記出力電圧が上記入力電圧より大きい場合は、上記電流引き込み部が動作することを特徴とする請求項1ないし4のいずれかに記載のボルテージフォロア回路。

【請求項6】請求項1ないし5のいずれかに記載のボルテージフォロア回路を用いて、表示素子駆動電圧供給回路および出力回路の少なくとも一つを構成したことを特徴とする表示装置用駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、インピーダンス変換器などに用いられるボルテージフォロア回路および表示装置用駆動装置に関するものである。

【0002】

【従来の技術】例えば液晶表示装置などにおいて、ソースドライバ（信号線駆動回路）内の基準電圧発生回路の出力にボルテージフォロア回路を接続することが一般に行われている。

【0003】図7に、差動増幅回路を使ったボルテージフォロア回路の例を示す。このボルテージフォロア回路は、出力電圧が入力電圧に追従し、出力インピーダンスを低くするためのインピーダンス変換器として用いられる。

10 【0004】図7のボルテージフォロア回路をトランジスタレベルで表した一般的な回路構成を図8、図9に示す。

【0005】図8は、P型のトランジスタで差動段の入力部1106、1107を構成した差動増幅回路の例である。

20 【0006】定電流源としてのP型トランジスタ1103のゲートには定電圧VBPを供給し、P型トランジスタ1103には定電流Iが流れる。N型トランジスタ1108、1109で構成されるカレントミラー回路により、定電流IはIaとIbとに分割される。

【0007】本差動増幅回路の出力部は、定電流源として働くP型トランジスタ1105（負荷回路として作用）と、N型トランジスタ1121とで構成されている。

【0008】出力端子は、差動段の入力部を構成する一方の逆相入力端子（P型トランジスタ1107のゲート）と接続され、もう一方の正相入力端子（P型トランジスタ1106のゲート）が入力端子となり、ボルテージフォロア回路を構成している。

30 【0009】本回路は、入力端子の電圧Vinと出力端子の電圧Voutとの関係が
Vin < Voutの場合

Ia > Ibとなり、ポイントAの電位は下がり、N型トランジスタ1108および1109がオフする方向に向かうので、ポイントBの電位が上がる。このため、N型トランジスタ1121がオンする方向となり、N型トランジスタ1121に流れる電流が多くなり、Voutの電位は下がる。その結果、Vin = Voutの状態に推移する。

40 【0010】Vin > Voutの場合

Ia < Ibとなり、ポイントAの電位は上がり、N型トランジスタ1108および1109がオンする方向に向かうので、ポイントBの電位が下がる。このため、N型トランジスタ1121がオフする方向となり、N型トランジスタ1121に流れる電流が少なくなり、P型トランジスタ1105の流す定電流によりVoutの電位は上がる。その結果、Vin = Voutの状態に推移する。

50 【0011】このように、カレントミラー回路に流れる電流IaとIbとの電流バランスにより、入力電圧と等

しい電圧が出力される。

【0012】差動増幅回路の差動段の入力部をN型のトランジスタで構成した回路を図9に示す。

【0013】定電流源としてのN型トランジスタ1203のゲートには定電圧 V_{BN} を供給し、N型トランジスタ1203には定電流 I が流れる。P型トランジスタ1208、1209で構成されるカレントミラー回路により、定電流 I は I_a と I_b とに分割される。

【0014】本差動増幅回路の出力部は、定電流源として働くN型トランジスタ1205（負荷回路として作用）と、P型トランジスタ1221とで構成されている。

【0015】出力端子は、差動段の入力部を構成する一方の逆相入力端子（N型トランジスタ1207のゲート）と接続され、もう一方の正相入力端子（N型トランジスタ1206のゲート）が入力端子となり、ボルテージフォロア回路を構成している。

【0016】本回路は、入力端子の電圧 V_{in} と出力端子の電圧 V_{out} との関係が

$V_{in} > V_{out}$ の場合

$I_a > I_b$ となり、ポイントAの電位は上がり、P型トランジスタ1208および1209がオフする方向に向かうので、ポイントBの電位が下がる。このため、P型トランジスタ1221がオンする方向となり、P型トランジスタ1221に流れる電流が多くなり、 V_{out} の電位は上がる。その結果、 $V_{in} = V_{out}$ の状態に推移する。

【0017】 $V_{in} > V_{out}$ の場合

$I_a < I_b$ となり、ポイントAの電位は下がり、P型トランジスタ1208および1209がオンする方向に向かうので、ポイントBの電位が上がる。このため、P型トランジスタ1221がオフする方向となり、P型トランジスタ1221に流れる電流が少なくなり、N型トランジスタ1205の流す定電流により V_{out} の電位は下がる。その結果、 $V_{in} = V_{out}$ の状態に推移する。

【0018】このように、カレントミラー回路に流れる電流 I_a と I_b との電流バランスにより、入力電圧と等しい電圧が出力される。

【0019】特開平11-242528号公報には、以下のような開示がなされている。すなわち、図10に示すように、ボルテージフォロア回路1301の出力と電源 V_{DD} との間にN型のトランジスタNMOS1が設けられ、出力とGNDとの間にP型のトランジスタPMOS1が設けられており、それぞれのトランジスタのゲートは、ボルテージフォロア回路1301の入力に接続されている。ボルテージフォロア回路1301の入力と出力との電圧が同じである場合、出力に設けられているN型およびP型トランジスタのゲートドレイン間の電圧（ V_{gs} ）は0Vであり、両方のトランジスタはオンす

ることがなく、通常のボルテージフォロア回路の動作となる。入力もしくは出力の電圧変動がトランジスタのしきい値電圧 V_{th} の電圧を超えた場合、入力の電圧と出力の電圧との関係でP型もしくはN型のトランジスタのいずれかがオンし、出力と入力との電圧差をなくすようになっている。

【0020】上記図10の構成においてはトランジスタのしきい値電圧 V_{th} 以下の電圧変動に対しては通常のボルテージフォロア回路の動作しかできないのに対し、図11の構成では、抵抗器 R_{12} 、 R_{21} とにより、トランジスタのゲートに掛かる電圧とボルテージフォロア回路1301の出力電圧との間にしきい値電圧 V_{th} ほどの電圧差をあらかじめ設けている。

【0021】上記図11の構成では、両トランジスタPMOS2およびNMOS2の各しきい値電圧 V_{th} は製造条件によりばらつきが生じる。抵抗器 R_{12} や抵抗器 R_{21} による電圧降下がしきい値電圧 V_{th} を超えてしまえば、PMOS2およびNMOS2を介して常に貫通電流が流れることになる。逆に、抵抗器 R_{12} や抵抗器 R_{21} による電圧降下がしきい値電圧 V_{th} を大きく下回れば、 $V_{in} = V_{out}$ の状態に推移するのに時間を要することになる。したがって、微小な電圧変動に対応できるようにするためには、製造後、抵抗器 R_{12} および R_{21} の値をレーザートリミング等で調整するか、PMOS2あるいはNMOS2のチャネル領域にイオン注入を行い、しきい値電圧 V_{th} を調整する必要がある。

【0022】

【発明が解決しようとする課題】図8に示す回路の場合、出力段は、 $V_{in} = V_{out}$ の定常状態では、P型トランジスタ1105のゲートに印加されるバイアス電圧（定電圧 V_{BP} ）により決定される定電流が流れている。

【0023】前述のように、定電流は常時流れている電流となるので、できるだけ少ない定電流にて差動増幅回路を動作させることが低消費電力化のうえで好ましいことになる。

【0024】ここで、一般に、出力段のN型トランジスタ1121は、オンすることによって、定常状態の電流の数倍の電流を流すことができる能力を持っている（なお、設計によりその電流値は異なる）。

【0025】そのため、 $V_{in} < V_{out}$ の場合は、前述のようにN型トランジスタ1121の流す電流により定常状態に推移する。このため、N型トランジスタ1121の流すことのできる電流を多くする回路設計にすることにより、定常状態に推移するスピードを速くすることができる。

【0026】しかし、 $V_{in} > V_{out}$ の場合は、前述のようにP型トランジスタ1105の流す電流（定電流）により定常状態に推移する。このため、上記のように出力段の定電流を少なくするように設定すると、流す

ことのできる電流が少ないことから、定常状態に移すスピードが遅くなってしまふ。

【0027】逆に、スピードを速くしようとすると、定電流値を大きくしなければならぬ。

【0028】図9に示す回路の場合も同様である。すなわち、N型トランジスタ1205は、バイアス電圧（定電圧VBN）により決まる定電流源となっている。図8の回路で説明したように、消費電流を少なくするため、できるだけ少ない定電流にて差動増幅回路を動作させた場合、P型トランジスタ1221の流す電流により定常状態に移す $V_{in} > V_{out}$ の場合に比べ、N型トランジスタ1205の流す定電流により定常状態に移す $V_{in} < V_{out}$ の場合は、定常状態に移すスピードが遅くなる。

【0029】このように、回路の動作スピードを上げるためには、多くの電流を定電流として流し続ける必要がある。このため、回路の動作スピードを上げると消費電流が多くなってしまふ。

【0030】本発明は、上記問題点を鑑みなされたものであり、その目的は、消費電流を増加させることなく、出力電圧を入力電圧に迅速に追従させることができるボルテージフォロア回路および表示装置用駆動装置を提供することにある。

【0031】

【課題を解決するための手段】上記の課題を解決するため、本発明のボルテージフォロア回路は、第1差動段と、上記第1差動段に対してオフセット電圧を持つ第2差動段と、上記第1差動段および上記第2差動段のうちの一方を放出側差動段として、その出力電流変化に応じて電流を外部に出力する電流放出部と、上記第1差動段および上記第2差動段のうちの他方を引き込み側差動段として、その出力電流変化に応じて電流を外部から引き込む電流引き込み部と、定電流源としての定電流供給部と、上記第1差動段の正相入力端子と上記第2差動段の正相入力端子との両方が接続されて、入力電圧を入力される入力端子と、上記電流放出部、電流引き込み部および定電流供給部が接続されるとともに、そこから出力される出力電圧が上記第1差動段の逆相入力端子と上記第2差動段の逆相入力端子とに帰還される出力端子とを備えたことを特徴としている。

【0032】上記の構成により、出力電圧が入力電圧よりも小さく、出力電圧を上げる必要がある場合は、放出側差動段および電流放出部により、電流を外部に出力する方向に動作する。逆に、出力電圧が入力電圧よりも大きく、出力電圧を下げる必要がある場合は、引き込み側差動段および電流引き込み部により、電流を外部から引き込む方向に動作する。

【0033】したがって、出力電圧が入力電圧よりも小さい場合および大きい場合のいずれの場合においても、入力電圧と出力電圧とが等しい定常状態に出力端子に定

電流源から流れる定電流を大きくしなくても、迅速に定常状態に移させることができる。それゆえ、消費電流を増加させることなく、出力電圧を入力電圧に迅速に追従させることができる。

【0034】上記第2差動段は、上記第1差動段に対してオフセット電圧を持っているため、定常状態に移した後も、定電流供給部において回路を貫く貫通電流が発生しない。

【0035】すなわち、出力電圧の増加に対して、電流放出部が十分なオフ状態になってから、上記オフセット電圧分隔てた後、電流引き込み部が十分なオン状態になる。これによって、電流放出部と電流引き込み部との両方が十分オンになるような出力電圧範囲が存在しないようにしている。なお、ここで、十分オンになるとは、それによってどの程度貫通電流を防止したいかによって決めればよく、貫通電流を完全に避けたい場合は、一方が完全にオフになってから他方がオン方向へ向かい始めるように、オフセット電圧を設定すればよい。

【0036】また、本発明のボルテージフォロア回路は、上記の構成に加えて、上記第1差動段と第2差動段とで、回路構成が同一で、それらを構成するトランジスタのうちの少なくとも一つが、トランジスタのチャネル長またはチャネル幅の少なくとも一つが異なっていることを特徴としている。

【0037】上記の構成により、上記第1差動段と第2差動段を構成するトランジスタのうちの少なくとも一つが、チャネル長またはチャネル幅の少なくとも一つが異なっている。

【0038】したがって、より簡素な構成で、上記第1差動段と上記第2差動段との間にオフセット電圧を持たせることができる。それゆえ、上記の構成による効果に加えて、より簡素な構成で、定電流供給部において回路を貫く貫通電流の発生を防ぐことができる。

【0039】また、本発明のボルテージフォロア回路は、上記の構成に加えて、上記チャネル長またはチャネル幅の少なくとも一つが異なっているトランジスタは、上記正相入力端子または逆相入力端子の少なくとも一つがゲートに入力されるトランジスタであることを特徴としている。

【0040】上記の構成により、上記チャネル長またはチャネル幅の少なくとも一つが異なっているトランジスタは、上記正相入力端子または逆相入力端子の少なくとも一つがゲートに入力されるトランジスタである。このため、一方のトランジスタのしきい値電圧は他方のトランジスタのしきい値電圧と比べて大きくまたは小さくなる。

【0041】したがって、より簡素な構成で、上記第1差動段と上記第2差動段との間にオフセット電圧を持たせることができる。それゆえ、上記の構成による効果に加えて、より簡素な構成で、定電流供給部において回路

を貫く貫通電流の発生を防ぐことができる。

【0042】また、本発明のボルテージフォロア回路は、上記の構成に加えて、定常状態においては、上記定電流供給部を負荷として、上記電流放出部または上記電流引き込み部のいずれか一方のみが動作することを特徴としている。

【0043】上記の構成により、入力電圧と出力電圧とが等しい定常状態においては、上記定電流供給部を負荷として、上記電流放出部または上記電流引き込み部のいずれか一方のみが動作する。

【0044】したがって、定常状態における電流の流れを簡素化することができる。それゆえ、上記の構成による効果に加えて、回路の構成や設計をより簡素化することができる。

【0045】また、本発明のボルテージフォロア回路は、上記の構成に加えて、上記入力電圧と上記出力電圧とが互いに異なっている変遷期間において、上記出力電圧が上記入力電圧より小さい場合は、上記電流放出部が動作し、上記出力電圧が上記入力電圧より大きい場合は、上記電流引き込み部が動作することを特徴としている。

【0046】上記の構成により、出力電圧が入力電圧より小さい場合は、電流放出部のみが動作し、出力電圧が入力電圧より大きい場合は、電流引き込み部のみが動作する。言い換えれば、出力電圧が入力電圧より小さい場合は、電流引き込み部は動作せず、出力電圧が入力電圧より大きい場合は、電流放出部は動作しない。

【0047】したがって、定常状態へ向けて変遷する期間における電流の流れの変化の様子を簡素化することができる。それゆえ、上記の構成による効果に加えて、回路の構成や設計をより簡素化することができる。

【0048】また、本発明の表示装置用駆動装置は、上記の構成のボルテージフォロア回路を用いて、表示素子駆動電圧供給回路および出力回路の少なくとも一つを構成したことを特徴としている。

【0049】上記の構成により、上記の構成のボルテージフォロア回路を用いて、表示素子駆動電圧供給回路および出力回路の少なくとも一つが構成される。

【0050】したがって、表示素子駆動電圧供給回路や出力回路において、出力電圧が入力電圧よりも小さい場合および大きい場合のいずれの場合においても、入力電圧と出力電圧とが等しい定常状態に出力端子に定電流源から流れる定電流を大きくしなくても、迅速に定常状態に移行させることができる。それゆえ、表示装置用駆動装置において、消費電流を増加させることなく、出力電圧を入力電圧に迅速に追従させることができる。

【0051】なお、本発明は、低インピーダンス変換回路として、第1の差動段と第2の差動段とを有し、出力段は上記第1の差動段の電流変化に応じて電流を外部に出力する第1の出力段と上記第2の差動段の電流変化に

応じて外部から電流を引き込む第2の出力段と負荷回路としての第3の出力段を有し、上記第1の差動段と上記第2の差動段の正相入力端子から入力電圧値を入力し、上記出力段の電圧値を上記第1の差動段と上記第2の差動段の逆相入力端子に帰還させる差動増幅回路で構成された低インピーダンス変換回路であって、上記第1の差動段と上記第2の差動段とは異なるオフセット電圧を持つように構成してもよい。

10 【0052】上記の構成によれば、入力電圧と出力電圧とのバランスが変化した場合、すばやく入力電圧に追従する出力を持ち、なおかつ、低消費電力な回路を実現することができる。

【0053】すなわち、入力と出力とのバランスがどのような場合であっても、定電流源の動作を行うトランジスタで出力を駆動しないように、入力と出力とのバランスが互いに反対の条件のときに動作する差動増幅回路（オペアンプ）の差動段を2系統設け、電位の高い側の電源と出力との間を駆動する出力段と、電位の低い側の電源と出力との間を駆動する出力段とを、各々の差動段で動作させる。

20 【0054】このとき、上記2系統の差動段の回路を同一回路で構成するが、各々の出力段を通して、電位の高い側の電源と低い側の電源との間に貫通電流が流れないようにするために、構成するトランジスタのうち、1つないし複数個について、チャネル幅またはチャネル長を変更した回路構成とし、差動段間でオフセット電圧を持たせるようにする。

【0055】このオフセットにより、オフセット電圧を持った側の差動段は、オフセットの電圧分、動作しない電圧範囲が発生する。したがって、このオフセットは、プロセスのばらつき、動作環境の変化などを考慮して、最小限に抑えることが好ましい。

【0056】また、本発明は、低インピーダンス変換回路として、上記構成において、上記第1の差動段と上記第2の差動段の回路構成は同じであるが、それぞれ構成するトランジスタのうちの少なくとも一つはトランジスタのチャネル長またはチャネル幅が異なっているように構成してもよい。

40 【0057】また、本発明は、低インピーダンス変換回路として、上記構成において、チャネル長またはチャネル幅が異なるトランジスタは、差動段の正相もしくは逆相入力端子がゲートに入力するトランジスタであるように構成してもよい。

【0058】また、本発明は、低インピーダンス変換回路として、上記構成において、定常状態においては、上記第3の出力段を負荷として、上記第1の出力段か上記第2の出力段のいずれか一方のみ動作するように構成してもよい。

50 【0059】また、本発明は、低インピーダンス変換回路として、上記構成において、上記入力電圧値もしくは

上記出力段の電圧値が変化する変遷期間において、上記第3の出力段とは別に、上記出力段の電圧値が上記入力電圧値より高く変化した場合は上記第2の出力段が動作し、逆に上記出力段の電圧値が上記入力電圧値より低く変化した場合は上記第1の差動段が動作するように構成してもよい。

【0060】また、本発明は、表示装置用駆動装置として、上記いずれかの構成の低インピーダンス変換回路を含んで、表示素子駆動電圧供給回路もしくは出力回路を形成するように構成してもよい。

【0061】また、本発明は、半導体集積回路として、差動増幅回路を含む差動段と、差動段の電流変化により動作する出力段とを備え、出力を帰還させることにより入力と出力との電圧を等しくする回路において、第1の差動段と出力段とにより、入力電圧に比べて出力電圧が高くなった場合には、出力と出力電圧より低い電源との間に電流を流して出力電圧を下げ、入力電圧に比べて出力電圧が低くなった場合には、上記の出力と出力電圧より低い電源との間に設けた回路を動作しないようにする手段を備えた、第1の差動段と出力段との組み合わせを備え、第2の差動段と出力段とにより、入力電圧に比べて出力電圧が低くなった場合には、出力と出力電圧より高い電源との間に電流を流して出力電圧を上げ、入力電圧に比べて出力電圧が高くなった場合には、上記の出力と出力電圧より高い電源との間に設けた回路を動作しないようにする手段を備えた、第2の差動段と出力段との組み合わせを備えるように構成してもよい。

【0062】また、本発明は、半導体集積回路として、上記構成において、第1および第2の差動段の少なくとも1つにオフセット電圧を持たせ、入力電圧と出力電圧とが等しい場合、第1および第2の差動段と出力段との組み合わせのどちらか一方を動作しないようにすることにより、第1と第2の出力段に流れる貫通電流を防止し、定常電流により出力を保持するように構成してもよい。

【0063】また、本発明は、半導体集積回路として、上記構成において、第1および第2の差動段の構成は同じにするが、構成するトランジスタのうち少なくとも一つは、上記第1および第2の差動段のそれぞれでサイズが異なるように構成してもよい。

【0064】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について図1および図2に基づいて説明すれば、以下の通りである。

【0065】図1は、N型トランジスタで差動段の入力部を構成したアンプ（ボルテージフォロア回路）であり、図中、101と102との2つの差動段を持つ。

【0066】第1差動段（放出側差動段）101は、ソースが接地電圧GNDにつながり、ゲートが、バイアス発生回路（図示せず）から出力される定電圧源VBNに

つながるN型トランジスタ205と、N型トランジスタ205のドレインと各々ソースがつながるN型トランジスタ203と204とにより入力部としての差動入力回路を構成している。また、各々のドレインを上記N型トランジスタ203と204のドレインに接続し、各々のゲートを互いに接続し、ソースを電源（Vdd）に接続したP型トランジスタ201と202とによりカレントミラー回路を構成している。

【0067】差動入力回路のN型トランジスタ203のゲートが入力aとなり、N型トランジスタ204のゲートが入力bとなっている。また、カレントミラー回路のゲートは、入力aがゲート入力となるN型トランジスタ203のドレインへ接続されている。

【0068】第2差動段（引き込み側差動段）102は、ソースがGNDにつながり、ゲートが、バイアス発生回路（図示せず）から出力される定電圧源VBNにつながるN型トランジスタ210と、N型トランジスタ210のドレインと各々ソースがつながるN型トランジスタ208と209とにより入力部としての差動入力回路を構成している。また、各々のドレインを上記N型トランジスタ208と209のドレインに接続し、各々のゲートを互いに接続し、ソースを電源（Vdd）に接続したP型トランジスタ206と207とによりカレントミラー回路を構成している。

【0069】差動入力回路のN型トランジスタ208のゲートが入力aとなり、N型トランジスタ209のゲートが入力bとなっている。また、カレントミラー回路のゲートは、入力bがゲート入力となるN型トランジスタ209のドレインへ接続されている。

【0070】第1差動段101の入力bがゲートに入力されるN型トランジスタ204のドレインと、P型トランジスタ202のドレインと、電流放出部としてのP型トランジスタ211のゲートが互いにつながっており、P型トランジスタ211のソースは電源（Vdd）につながり、ドレインは出力につながっている。

【0071】第2差動段102の入力aがゲートに入力されるN型トランジスタ208のドレインと、P型トランジスタ206のドレインと、P型トランジスタ212のゲートが互いにつながっており、P型トランジスタ212のソースは電源（Vdd）につながり、ドレインはN型トランジスタ213のゲートおよびドレイン、および電流引き込み部としてのN型トランジスタ214のゲートにつながっている。N型トランジスタ213、214のソースはGNDにつながり、N型トランジスタ214のドレインは出力につながっている。

【0072】また、出力には、前述の定電圧源VBNがゲートにつながるとともにソースがGNDとなる、定電流供給部としてのN型トランジスタ215のドレインが

【0073】入力aが逆相入力端子であり、入力bが正

相入力端子となる。

【0074】図2に、図1の回路を、出力を入力aに帰還させ、入力bを入力として、ボルテージフォロア回路として使用した時の回路を示す。

【0075】なお、本回路は、入力電圧と出力電圧とが釣り合った状態（定常状態）での貫通電流すなわちP型トランジスタ211とN型トランジスタ214とを通じて流れる、電源とGNDとの間の電流を防ぐため、第2差動段102にオフセットを持たせておく。例えば、P型トランジスタ206のチャネル幅を狭くするか、チャネル長を長くし、N型トランジスタ209のチャネル幅を広くするかチャネル長を短くする。

【0076】これにより、P型トランジスタ206のしきい値電圧は他のP型トランジスタと比較して大きく設定され、一方、N型トランジスタ209のしきい値電圧は他のN型トランジスタと比較して小さく設定されることになる。

【0077】このときのボルテージフォロア回路の動作について以下に説明する。

【0078】第1差動段101において定電圧源VBNがゲートに入力されるN型トランジスタ205に流れる定電流をI1とし、P型トランジスタ201およびN型トランジスタ203に流れる電流をIbとし、P型トランジスタ202およびN型トランジスタ204に流れる電流をIaとする。

【0079】第2差動段102において定電圧源VBNがゲートに入力されるN型トランジスタ210に流れる定電流をI2とし、P型トランジスタ206およびN型トランジスタ208に流れる電流をIdとし、P型トランジスタ207およびN型トランジスタ209に流れる電流をIcとする。

【0080】・入力電圧>出力電圧の場合

第1差動段101は、 $I_a > I_b$ となり、ポイントAの電位は下がり、P型トランジスタ211がオンする方向となり、P型トランジスタ211に流れる電流が多くなり、出力の電位は上がる。その結果、入力電圧=出力電圧の状態に推移する。

【0081】一方、第2差動段102は、 $I_c > I_d$ となり、ポイントBの電位は上がり、P型トランジスタ212がオフする方向となり、ポイントCの電位は下がる。そのため、N型トランジスタ214はオフする方向に向かい、出力の電位に影響を与えない。したがって、上記P型トランジスタ211からの電圧がそのまま出力される。

【0082】なお、定電流源としてのN型トランジスタ215を介しての電流も存在するが、値が小さい。

【0083】・入力電圧<出力電圧の場合

第1差動段101は、 $I_a < I_b$ となり、ポイントAの電位は上がり、P型トランジスタ211がオフする方向となり、出力の電位に影響を与えなくなる。

【0084】一方、第2差動段102は、 $I_c < I_d$ となり、ポイントBの電位は下がり、P型トランジスタ212がオンする方向となり、ポイントCの電位は上がる。そのため、N型トランジスタ214に流れる電流が多くなり、出力はGNDへ引き込まれるため、出力の電位は下がる。その結果、入力電圧=出力電圧の状態に推移する。

【0085】・入力電圧=出力電圧の場合

第1差動段101は、 $I_a = I_b$ となるため、定常状態となる。

【0086】一方、第2差動段102は、上述したように、他のP型トランジスタ、N型トランジスタに対して、P型トランジスタ206のしきい値電圧を大きく、N型トランジスタ209のしきい値電圧を小さくするように設定しているため、入力電圧=出力電圧のときでも、 $I_c > I_d$ のようにオフセット電圧を持った状態となっている。そのため、ポイントBの電位は高い状態となっているので、P型トランジスタ212はオフの方向に向かっている。したがって、上述したように、N型トランジスタ214もオフの方向に向かったままである。

【0087】したがって、出力電圧は、P型トランジスタ211と、定電流源として働いているN型トランジスタ215とを介して流れる、定電流にて決定される。よって、P型トランジスタ211とN型トランジスタ214を介しての貫通電流を防止することができる。

【0088】このように、本実施形態では、出力の電圧を上げるには、P型トランジスタ211を介しての電源電圧Vddからの電流供給を行い、一方、出力の電圧を下げるには、N型トランジスタ214を介しての接地電圧GNDへの電流引き込みにより行っている。

【0089】したがって、すでに述べたように、P型トランジスタ211およびN型トランジスタ214の駆動能力を上げておくことで、電圧変動に対する追従（追従）能力を高めておくことに、支障なくなる。またその結果、図示していないが、出力に大きい負荷が接続されていても良好に駆動することができるようになる。

【0090】また、入力電圧=出力電圧のときには、P型トランジスタ211から流れる電流は、N型トランジスタ215により、所定の定電流しか流れないようになっている。すなわち、定常状態（入力電圧=出力電圧）においては、流れる電流は、定電流源として働くN型トランジスタ215により規定される。そして、このN型トランジスタ215の駆動能力は、上述の電圧変動に対する追従には全く無関係となっている。それにより、定電圧源VBNの電圧値を下げて、電流値を小さくしても、良好に追従動作を行うことができるようになる。

【0091】よって、常に流れている定電流値を小さくできることから、本ボルテージフォロア回路のように、2つの差動段間にオフセット電圧を持たせることで、ボルテージフォロア回路の低消費電力化と高速追従（追

随)性と両立させることができる。

【0092】なお、一般に、差動段の入力部のトランジスタの製造時のばらつきでトランジスタ特性にばらつきが生じるため、1つの差動段の正相および逆相でもオフセット電圧(ここでは、「差動段内オフセット電圧」と称する)が存在するが、本願における「オフセット電圧」とは、2つの差動段間にオフセット電圧(差動段間オフセット電圧)を持たせるということを意味している。

【0093】本実施形態では、電流の放出側(電流放出部側)では、 $I_a = I_b$ となるのは入力電圧=出力電圧のときであるが、電流を引き込む側(電流引き込み部側)では、それよりも出力電圧が上記オフセット電圧分だけ大きくなったときに初めて $I_c = I_d$ となる。その結果、出力電圧の増加に対して、電流放出部(P型トランジスタ211)が十分なオフ状態になってから、上記オフセット電圧分隔てた後、電流引き込み部(N型トランジスタ214)が十分なオン状態になる。これによって、電流放出部と電流引き込み部との両方が十分オンになるような出力電圧範囲が存在しないようにしている。

【0094】〔実施の形態2〕本発明の他の実施の形態について図3に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0095】図3は、P型トランジスタで差動段の入力部を構成したアンプ(ボルテージフォロア回路)であり、図中、301と302との2つの差動段を持つ。

【0096】第1差動段(引き込み側差動段)301は、ソースが電源(V_{dd})につながり、ゲートが、バイアス発生回路(図示せず)から出力される定電圧源V_{B/P}につながるP型トランジスタ405と、P型トランジスタ405のドレインと各々ソースがつながるP型トランジスタ403と404とにより入力部としての差動入力回路を構成している。また、各々のドレインを上記P型トランジスタ403と404のドレインに接続し、各々のゲートを互いに接続し、ソースを接地電圧GNDに接続したN型トランジスタ401と402とによりカレントミラー回路を構成している。

【0097】差動入力回路のP型トランジスタ403のゲートが入力bとなり、P型トランジスタ404のゲートが入力aとなっている。また、カレントミラー回路のゲートは、入力aがゲート入力となるP型トランジスタ404のドレインへ接続されている。

【0098】第2差動段(放出側差動段)302は、ソースが電源(V_{dd})につながり、ゲートが、バイアス発生回路(図示せず)から出力される定電圧源V_{B/P}につながるP型トランジスタ410と、P型トランジスタ410のドレインと各々ソースがつながるP型トランジスタ408と409とにより入力部としての差動入力回

路を構成している。また、各々のドレインを上記P型トランジスタ408と409のドレインに接続し、各々のゲートを互いに接続し、ソースをGNDに接続したN型トランジスタ406と407とによりカレントミラー回路を構成している。

【0099】差動入力回路のP型トランジスタ408のゲートが入力bとなり、P型トランジスタ409のゲートが入力aとなっている。また、カレントミラー回路のゲートは、入力bがゲート入力となるP型トランジスタ408のドレインへ接続されている。

【0100】第1差動段301の入力bがゲートに入力されるP型トランジスタ403のドレインと、N型トランジスタ401のドレインと、電流引き込み部としてのN型トランジスタ411のゲートが互いにつながっており、N型トランジスタ411のソースはGNDにつながり、ドレインは出力につながっている。

【0101】第2差動段302の入力aがゲートに入力されるP型トランジスタ409のドレインと、N型トランジスタ407のドレインと、N型トランジスタ412のゲートが互いにつながっており、N型トランジスタ412のソースはGNDにつながり、ドレインはP型トランジスタ413のゲートおよびドレイン、および、電流放出部としてのP型トランジスタ414のゲートにつながっている。P型トランジスタ413、414のソースは電源(V_{dd})につながり、P型トランジスタ414のドレインは出力につながっている。

【0102】また、出力には、前述の定電圧源V_{B/P}がゲートにつながるとともにソースが電源(V_{dd})となる、定電流供給部としてのP型トランジスタ415のドレインがつながっている。

【0103】入力aが逆相入力端子であり、入力bが正相入力端子となる。

【0104】図3の回路を、出力を入力aに帰還させ、入力bを入力として、ボルテージフォロア回路として使用した時の回路は、実施形態1同様、図2のようになる。

【0105】なお、本回路は、入力電圧と出力電圧とが釣り合った状態(定常状態)での貫通電流すなわちN型トランジスタ411とP型トランジスタ414とを通じて流れる、電源とGNDとの間の電流を防ぐため、第2差動段302にオフセットを持たせておく。例えば、N型トランジスタ407のチャネル幅を狭くするか、チャネル長を長くし、P型トランジスタ408のチャネル幅を広くするかチャネル長を短くする。

【0106】これにより、N型トランジスタ407のしきい値電圧は他のN型トランジスタと比較して大きく設定され、一方、P型トランジスタ408のしきい値電圧は他のP型トランジスタと比較して小さく設定されることになる。

【0107】このときのボルテージフォロア回路の動作

について以下に説明する。

【0108】第1差動段301において定電圧源VBPがゲートに入力されるP型トランジスタ405に流れる定電流を I_1 とし、N型トランジスタ401およびP型トランジスタ403に流れる電流を I_a とし、N型トランジスタ402およびP型トランジスタ404に流れる電流を I_b とする。

【0109】第2差動段302において定電圧源VBPがゲートに入力されるP型トランジスタ410に流れる定電流を I_2 とし、N型トランジスタ406およびP型トランジスタ408に流れる電流を I_c とし、N型トランジスタ407およびP型トランジスタ409に流れる電流を I_d とする。

【0110】・入力電圧<出力電圧の場合

第1差動段301は、 $I_a > I_b$ となり、ポイントAの電位は上がり、N型トランジスタ411がオンする方向となり、N型トランジスタ411に流れる電流が多くなり、出力から接地電圧GNDに電流を引き込むため、出力の電位は下がる。その結果、入力電圧=出力電圧の状態に推移する。

【0111】一方、第2差動段302は、 $I_c > I_d$ となり、ポイントBの電位は下がり、N型トランジスタ412がオフする方向となり、ポイントCの電位は上がる。そのため、P型トランジスタ414はオフする方向に向かい、出力の電位に影響を与えない。したがって、上記N型トランジスタ411により出力の電圧が決められる。

【0112】なお、定電流源としてのP型トランジスタ415を介しての電流も存在するが、値が小さい。

【0113】・入力電圧>出力電圧の場合

第1差動段301は、 $I_a < I_b$ となり、ポイントAの電位は下がり、N型トランジスタ411がオフする方向となり、出力の電位に影響を与えなくなる。

【0114】一方、第2差動段302は、 $I_c < I_d$ となり、ポイントBの電位は上がり、N型トランジスタ412がオンする方向となり、ポイントCの電位は下がる。そのため、P型トランジスタ414に流れる電流が多くなり、出力の電位は上がる。その結果、入力電圧=出力電圧の状態に推移する。

【0115】・入力電圧=出力電圧の場合

第1差動段301は、 $I_a = I_b$ となるため、定常状態となる。

【0116】一方、第2差動段302は、上述したように、他のP型トランジスタ、N型トランジスタに対して、P型トランジスタ408のしきい値電圧を小さく、N型トランジスタ407のしきい値電圧を大きくするように設定しているため、入力電圧=出力電圧のときでも、 $I_c > I_d$ のようにオフセット電圧を持った状態となっている。そのため、ポイントBの電位は低い状態となっているので、N型トランジスタ412はオフの方向

に向かっている。したがって、上述したように、P型トランジスタ414もオフの方向に向かったままである。

【0117】したがって、出力電圧は、N型トランジスタ411と、定電流源として働いているP型トランジスタ415とを介して流れる、定電流にて決定される。よって、N型トランジスタ411とP型トランジスタ414を介しての貫通電流を防止することができる。

【0118】このように、本実施形態では、出力の電圧を上げるには、P型トランジスタ414を介しての電源電圧V_{dd}からの電流供給を行い、一方、出力の電圧を下げるには、N型トランジスタ411を介しての接地電圧GNDへの電流引き込みにより行っている。

【0119】したがって、すでに述べたように、P型トランジスタ414およびN型トランジスタ411の駆動能力を上げておくことで、電圧変動に対する追従(追隨)能力を高めておくことに、支障なくなる。またその結果、図示していないが、出力に大きい負荷が接続されていても良好に駆動することができるようになる。

【0120】また、入力電圧=出力電圧のときには、N型トランジスタ411に引き込まれる電流は、P型トランジスタ415により、所定の定電流しか流れないようにになっている。すなわち、定常状態(入力電圧=出力電圧)においては、流れる電流は、定電流源として働くP型トランジスタ415により規定される。そして、このP型トランジスタ415の駆動能力は、上述の電圧変動に対する追従には全く無関係となっている。それにより、定電圧源VBPの電圧値を上げて、電流値を小さくしても、良好に追従動作を行うことができるようになる。

【0121】よって、常に流れている定電流値を小さくできることから、本ボルテージフォロア回路のように、2つの差動段間にオフセット電圧を持たせることで、ボルテージフォロア回路の低消費電力化と高速追従(追隨)性とを両立させることができる。

【0122】本実施形態では、電流を引き込む側(電流引き込み部側)では、 $I_a = I_b$ となるのは入力電圧=出力電圧のときであるが、電流の放出側(電流放出部側)では、それよりも出力電圧が上記オフセット電圧分だけ小さくなったときに初めて $I_c = I_d$ となる。その結果、出力電圧の増加に対して、電流放出部(P型トランジスタ414)が十分なオフ状態になってから、上記オフセット電圧分隔てた後、電流引き込み部(N型トランジスタ411)が十分なオン状態になる。これによって、電流放出部と電流引き込み部との両方が十分オンになるような出力電圧範囲が存在しないようにしている。

【0123】〔実施の形態3〕本発明のさらに他の実施の形態について図4ないし図6に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には同一の符号を付記してその説明を省略する。

【0124】本発明によるボルテージフォロア回路を用いた応用例の一例として、液晶表示装置の液晶素子駆動用の各種電圧を発生させる基準電圧発生回路の中の低インピーダンス変換回路に使用した事例を示す。

【0125】まず、図4に、アクティブマトリクス方式の一つであるTFT（薄膜トランジスタ）を用いた液晶表示装置のブロック構成を示す。

【0126】この液晶表示装置は、液晶表示部とこれを駆動する液晶駆動装置（表示装置用駆動装置）とを備えている。液晶表示部は、各画素ごとにTFT方式の液晶パネル601からなり、液晶パネル601内には、対向電極（共通電極）606と、図示しない液晶表示素子（画素）とが設けられている。

【0127】一方、液晶駆動装置は、それぞれIC（Integrated Circuit）からなるソースドライバ602、ゲートドライバ603、コントローラ604および液晶駆動電源605を備えている。液晶駆動電源605は、ソースドライバ602およびゲートドライバ603へ液晶パネルでの表示用の参照電圧VRを供給するものである。

【0128】コントローラ604は、ソースドライバ602に、デジタル化された表示データおよび各種制御信号を出力するとともに、ゲートドライバ603へも各種制御信号を出力している。

【0129】ソースドライバ602への主な制御信号は、水平同期信号、スタートパルス信号およびソースドライバ用クロック信号などがあり、一方、ゲートドライバ603への主な制御信号は、垂直同期信号やゲートドライバ用クロック信号などがある。

【0130】外部から入力されたデジタル表示データは、コントローラ604でタイミングなどを調整した後、ソースドライバ602にデジタル表示データDとして出力される。

【0131】図5に、ソースドライバ602の回路ブロックの一例を示す。ソースドライバ602は、入力ラッチ回路701から入力されたデジタル表示データD（DR、DG、DB）を、スタートパルス信号SPおよびクロック信号CKに基づき内部のシフトレジスタ回路702で転送し、サンプリングメモリ回路703で時分割でサンプリングして記憶する。その後、ホールドメモリ回路704で、コントローラ604から入力される表示画面の水平同期信号に同期してラッチする。その後、レベルシフト回路705で信号をレベル変換する。次いで、DA（デジタルアナログ）変換回路706にて、基準電圧発生回路709から出力された複数の階調表示用電圧の中から表示データに応じた階調表示用電圧を選択し、出力回路707の液晶駆動電圧出力端子708から、液晶パネル601の画素のソースラインに出力する。

【0132】図6に、基準電圧発生回路709の回路構

成例を示す。基準電圧発生回路709は、表示素子としての液晶表示素子を駆動する電圧を供給する表示素子駆動電圧供給回路であり、抵抗が直列に接続された抵抗分割回路710と、低インピーダンス変換回路711とから構成されている。

【0133】デジタル表示データ（R、G、B）が各々6ビットで構成されている例を考えると、64通りの階調表示、つまり64種類のアナログ電圧が必要となる。

【0134】抵抗分割回路710には、液晶駆動電源605から、V0とV64との電源ラインが入力されている。中間調電圧として、9種類の参照電圧V0'、V8'、…、V56'、V64'用の各中間調電圧線に対して、低インピーダンス変換回路711として、本発明のボルテージフォロア回路（図2の構成）が採用されている。

【0135】そして、低インピーダンス変換回路711の出力間をさらに抵抗分割回路にて各8分割（図面では各抵抗部分は簡略化して記載）して、V0'、V1'、V2'、…、V62'、V63'、V64'の電圧値を生成して、DA変換回路706に入力している。

【0136】ここで、液晶パネルの画素は容量性負荷であり、階調表示を行うためにはその都度画素容量を充電もしくは放電する必要がある。画面の高品位化を図るためには、液晶素子への印加電圧は、画素容量への充電もしくは放電による電圧変動を急峻に回復させる駆動能力が必要である。

【0137】一方、液晶駆動装置は、その低消費電力性によって、携帯電話などに備えられる携帯用表示装置に使用されることが多い。したがって、液晶表示装置用駆動装置の低消費電力化も強く望まれている。したがって、駆動装置のなかでも特に電力を費やすアナログ回路部であるボルテージフォロア回路に、本発明の構成を採用することで、低消費電力化のうえで大きな効果をあげることができる。

【0138】また、ここでは、基準電圧発生回路709の出力段に本発明のボルテージフォロア回路の構成を採用した例について述べたが、ソースドライバ602の出力回路707に使用してもよい。また、液晶駆動電源605の出力バッファ回路に使ってもよい。

【0139】本発明のボルテージフォロア回路は、負荷が容量性であり急速な充放電を行う必要がある一方、低消費電力化も併せて要求される低インピーダンス変換回路として有効であり、特に携帯用表示装置に採用すると、その効果は絶大である。

【0140】

【発明の効果】以上のように、本発明のボルテージフォロア回路は、第1差動段と、上記第1差動段に対してオフセット電圧を持つ第2差動段と、上記第1差動段および上記第2差動段のうち的一方を放出側差動段として、その出力電流変化に応じて電流を外部に出力する電流放

出部と、上記第1差動段および上記第2差動段のうちの他方を引き込み側差動段として、その出力電流変化に応じて電流を外部から引き込む電流引き込み部と、定電流源としての定電流供給部と、上記第1差動段の正相入力端子と上記第2差動段の正相入力端子との両方が接続されて、入力電圧を入力される入力端子と、上記電流放出版、電流引き込み部および定電流供給部が接続されるとともに、そこから出力される出力電圧が上記第1差動段の逆相入力端子と上記第2差動段の逆相入力端子とに帰還される出力端子とを備えた構成である。

【0141】これにより、出力電圧が入力電圧よりも小さい場合および大きい場合のいずれの場合においても、入力電圧と出力電圧とが等しい定常状態に出力端子に定電流源から流れる定電流を大きくしなくても、迅速に定常状態に移行させることができる。それゆえ、消費電流を増加させることなく、出力電圧を入力電圧に迅速に追従させることができるという効果を奏する。

【0142】また、本発明のボルテージフォロア回路は、上記の構成に加えて、上記第1差動段と第2差動段とで、回路構成が同一で、それらを構成するトランジスタのうちの少なくとも一つが、トランジスタのチャネル長またはチャネル幅の少なくとも一つが異なっている構成である。

【0143】これにより、より簡素な構成で、第1差動段と第2差動段との間にオフセット電圧を持たせることができる。それゆえ、上記の構成による効果に加えて、より簡素な構成で、定電流供給部において回路を貫く貫通電流の発生を防ぐことができるという効果を奏する。

【0144】また、本発明のボルテージフォロア回路は、上記の構成に加えて、上記チャネル長またはチャネル幅の少なくとも一つが異なっているトランジスタは、上記正相入力端子または逆相入力端子の少なくとも一つがゲートに入力されるトランジスタである構成である。

【0145】これにより、より簡素な構成で、第1差動段と第2差動段との間にオフセット電圧を持たせることができる。それゆえ、上記の構成による効果に加えて、より簡素な構成で、定電流供給部において回路を貫く貫通電流の発生を防ぐことができるという効果を奏する。

【0146】また、本発明のボルテージフォロア回路は、上記の構成に加えて、定常状態においては、上記定電流供給部を負荷として、上記電流放出版または上記電流引き込み部のいずれか一方のみが動作する構成である。

【0147】これにより、定常状態における電流の流れを簡素化することができる。それゆえ、上記の構成による効果に加えて、回路の構成や設計をより簡素化することができるという効果を奏する。

【0148】また、本発明のボルテージフォロア回路は、上記の構成に加えて、上記入力電圧と上記出力電圧とが互いに異なっている変遷期間において、上記出力電

圧が上記入力電圧より小さい場合は、上記電流放出版が動作し、上記出力電圧が上記入力電圧より大きい場合は、上記電流引き込み部が動作する構成である。

【0149】これにより、定常状態へ向けて変遷する期間における電流の流れの変化の様子を簡素化することができる。それゆえ、上記の構成による効果に加えて、回路の構成や設計をより簡素化することができる定常状態へ向けて変遷する期間における電流の流れの変化の様子を簡素化することができる。それゆえ、上記の構成による効果に加えて、回路の構成や設計をより簡素化することができるという効果を奏する。

【0150】また、本発明の表示装置用駆動装置は、上記の構成のボルテージフォロア回路を用いて、表示素子駆動電圧供給回路および出力回路の少なくとも一つを構成した構成である。

【0151】これにより、表示素子駆動電圧供給回路や出力回路において、出力電圧が入力電圧よりも小さい場合および大きい場合のいずれの場合においても、入力電圧と出力電圧とが等しい定常状態に出力端子に定電流源から流れる定電流を大きくしなくても、迅速に定常状態に移行させることができる。それゆえ、表示装置用駆動装置において、消費電流を増加させることなく、出力電圧を入力電圧に迅速に追従させることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明に係るボルテージフォロア回路の構成例を示す回路図である。

【図2】ボルテージフォロア回路の概略の構成例を示すブロック図である。

【図3】本発明に係るボルテージフォロア回路の構成例を示す回路図である。

【図4】本発明に係るボルテージフォロア回路を用いた液晶表示装置の一構成例を示すブロック図である。

【図5】ソースドライバの一構成例を示すブロック図である。

【図6】基準電圧発生回路の一構成例を示すブロック図である。

【図7】従来のボルテージフォロア回路の概略の構成例を示すブロック図である。

【図8】従来のボルテージフォロア回路の構成例を示す回路図である。

【図9】従来のボルテージフォロア回路の構成例を示す回路図である。

【図10】従来のボルテージフォロア回路の構成例を示す回路図である。

【図11】従来のボルテージフォロア回路の構成例を示す回路図である。

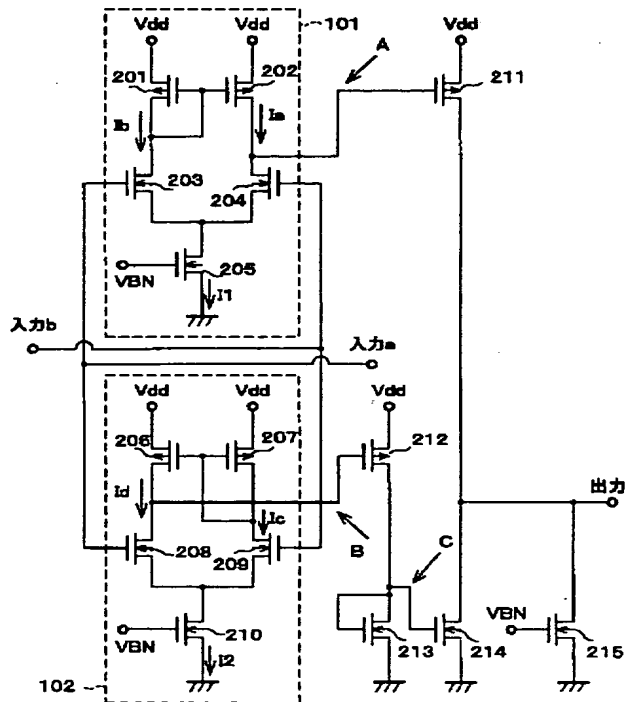
【符号の説明】

101 第1差動段（放出側差動段）

102 第2差動段（引き込み側差動段）

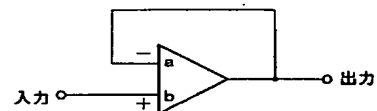
201、202 P型トランジスタ
 203、204、205 N型トランジスタ
 206、207 P型トランジスタ
 208、209、210 N型トランジスタ
 211 P型トランジスタ（電流放出部）
 212 P型トランジスタ
 213 N型トランジスタ
 214 N型トランジスタ（電流引き込み部）
 215 N型トランジスタ（定電流供給部）
 301 第1差動段（引き込み側差動段）
 302 第2差動段（放出側差動段）
 401、402 N型トランジスタ
 403、404、405 P型トランジスタ
 406、407 N型トランジスタ
 408、409、410 P型トランジスタ
 411 N型トランジスタ（電流引き込み部）
 412 N型トランジスタ
 413 P型トランジスタ
 414 P型トランジスタ（電流放出部）
 415 P型トランジスタ（定電流供給部）
 601 液晶パネル
 602 ソースドライバ
 603 ゲートドライバ
 604 コントローラ

【図1】

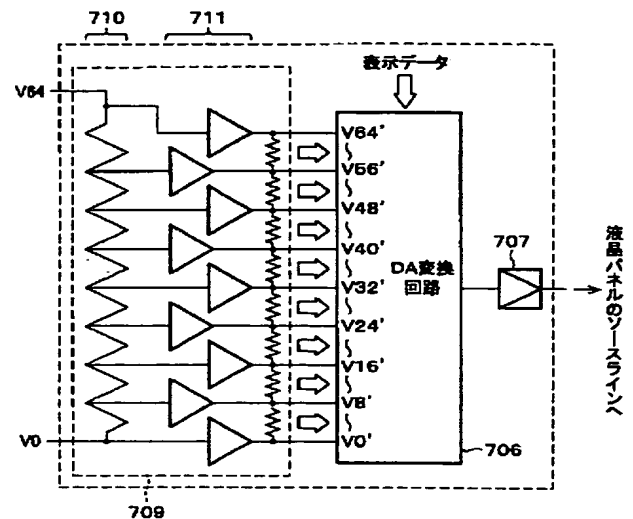


605 液晶駆動電源
 606 対向電極
 701 入力ラッチ回路
 702 シフトレジスタ回路
 703 サンプリングメモリ回路
 704 ホールドメモリ回路
 705 レベルシフト回路
 706 DA変換回路
 707 出力回路
 10 SP スタートパルス信号
 708 液晶駆動電圧出力端子
 709 基準電圧発生回路（表示素子駆動電圧供給回路）
 710 抵抗分割回路
 711 低インピーダンス変換回路
 CK クロック信号
 D、DR、DG、DB デジタル表示データ
 GND 接地電圧
 I1、I2 定電流
 Ia、Ib、Ic、Id 電流
 20 SP スタートパルス信号
 VBN 定電圧源
 VBP 定電圧源
 Vdd 電源

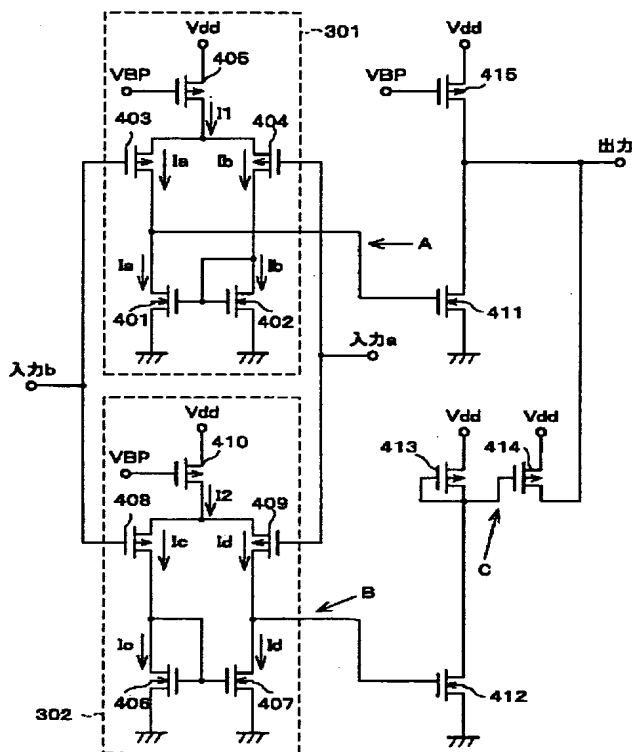
【図2】



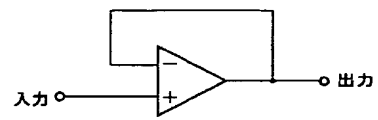
【図6】



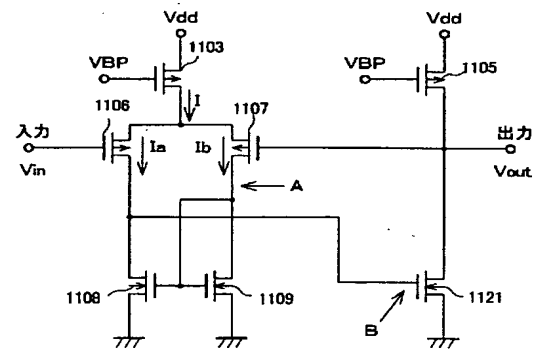
【図3】



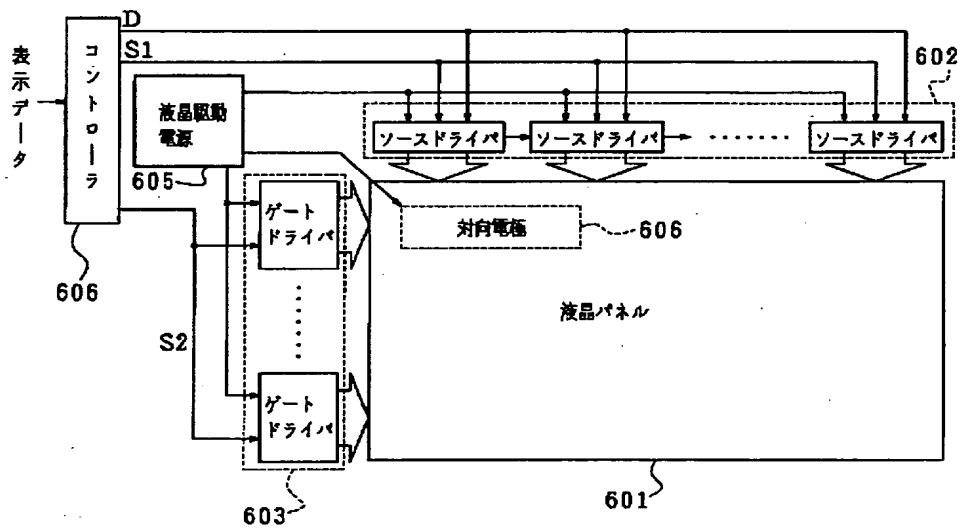
【図7】



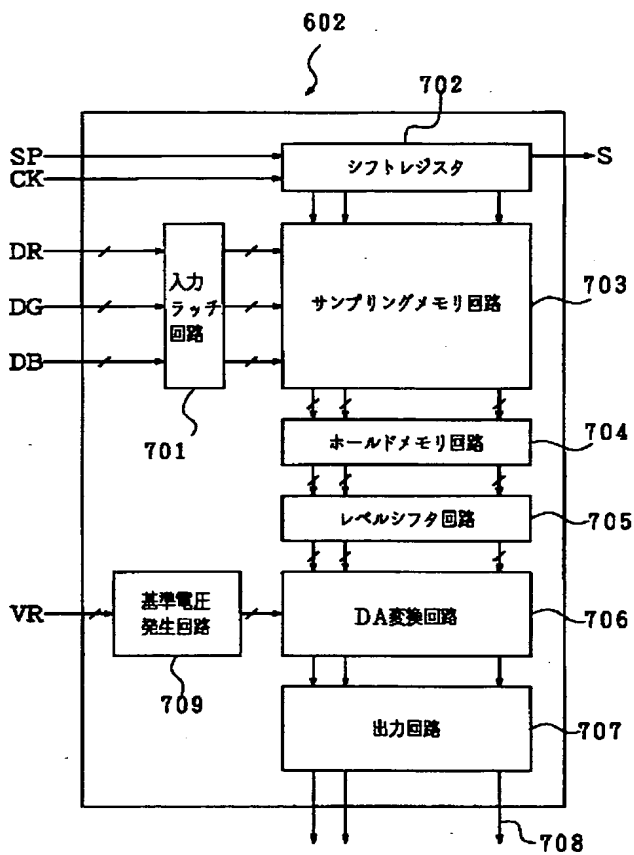
【図8】



【図4】

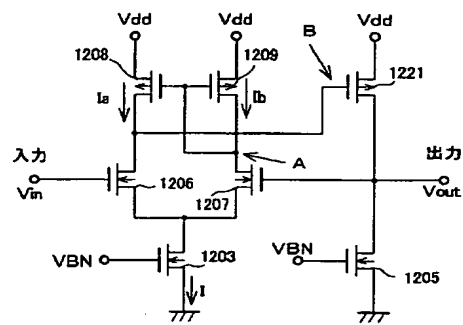


【圖 5】

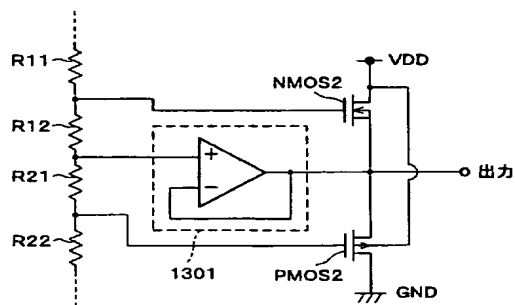
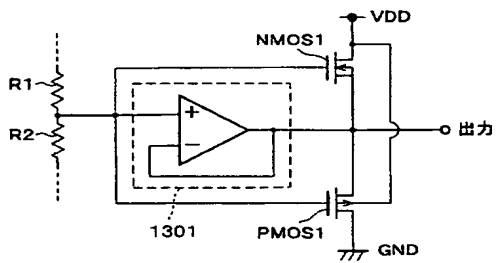


【图 10】

【圖9】



【圖 1-1】



フロントページの続き

(51) Int.Cl.⁷

H O 3 F 3/45
3/68

識別記号

FI

H O 3 F 3/45
3/68

テーマコード^{*}(参考)

A 5 J 0 9 1

Fターム(参考) 5C006 AF69 BB16 BC06 BC13 BF25

FA47

5C080 AA10 BB05 DD26 DD30 JJ02

JJ03

5J066 AA01 AA12 AA18 CA36 CA65

CA92 FA15 HA10 HA16 HA17

KA02 KA09 KA11 KA18 KA33

KA34 KA67 MA05 MA11 MA21

ND01 ND14 ND22 ND23 PD01

SA08 TA01

5J069 AA01 AA12 AA18 CA36 CA65

FA15 HA10 HA16 HA17 KA02

KA09 KA11 KA18 KA33 KA34

KA67 MA05 MA11 MA21 SA08

TA01

5J090 AA01 AA12 AA18 CA36 CA65

DN02 FA15 HA10 HA16 HA17

KA02 KA09 KA11 KA18 KA33

KA34 KA67 MA05 MA11 MA21

SA08 TA01

5J091 AA01 AA12 AA18 CA36 CA65

FA15 HA10 HA16 HA17 KA02

KA09 KA11 KA18 KA33 KA34

KA67 MA05 MA11 MA21 SA08

TA01 UW09